

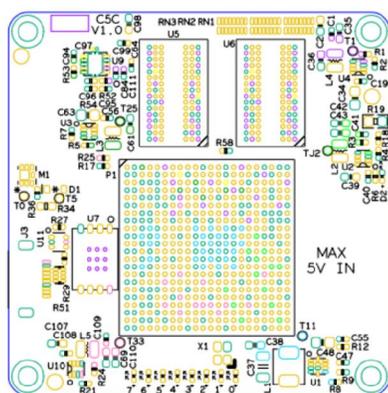
C5C 工业级低延时编解码核心板规格书

北京拓扑威视新技术有限公司

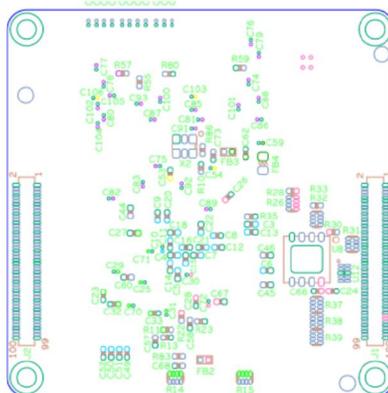
北京海淀区上地十街辉煌国际 4-1008

TEL. 13910930318

Email: topvideocodec@163.com



正面



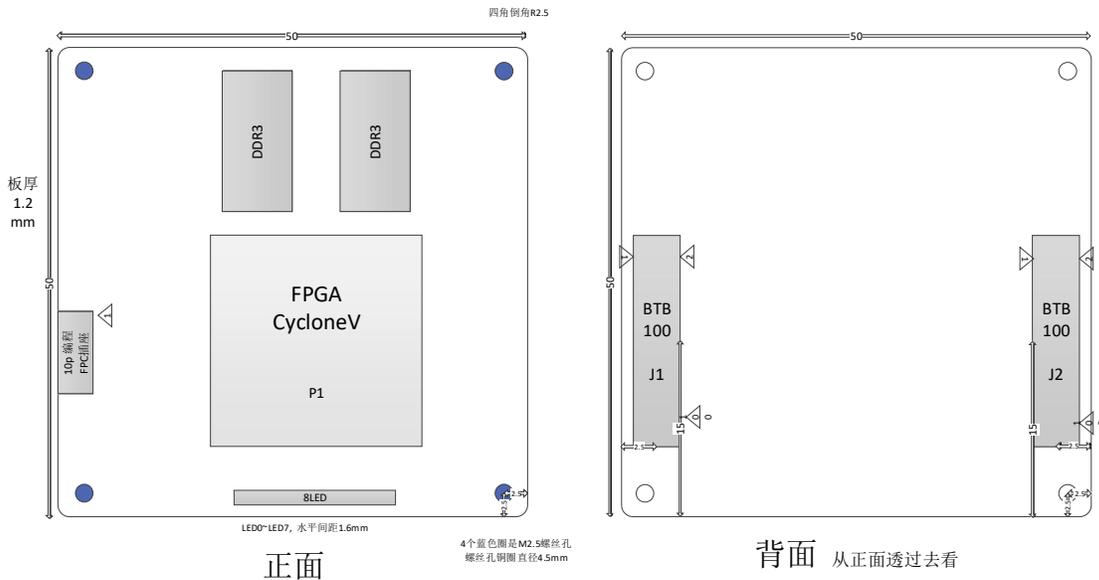
背面

主要特性

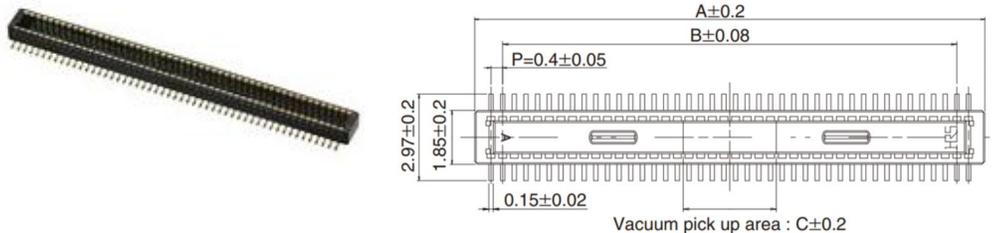
- 视频编解码核心板，尺寸小重量轻，50x50mm，PCB 厚度 1.2mm
- 背面两个 100p DF40C 板对板插头(和树莓派 CM4 同样型号)。扣合紧密，可靠性高，最小合高 1.5mm
- 工业级温度范围: -40~85
- 可刷写/定制如下视频编解码协议的固件，其中编码固件都可以自动检测输入信号的分辨率
 - 超低延时最高 1080p H.264 编码，或解码，最低延时固件，总系统延时不超过 8ms
 - 超低延时 Jpeg XS 编码或解码，可以支持 4K30/1080p, 最高支持 4K60，总系统延时不超过 5ms
 - 超低延时 DSC 编码或解码，可以支持 4K30/1080p, 最高支持 4K60，总系统延时不超过 5ms
- 最多可支持 32 对 LVDS IO 信号(16 RX, 16TX)，每对 LVDS 最高速率 840Mbps
- 最多可以支持 103 个单端 IO 信号，每个单端信号最高频率 400MHz
- 根据不同底板的设计，可以刷新/定做如下视频/通信接口的固件

- HDMI (1080p ~4K60 芯片都可以支持)
 - 3G SDI
 - MIPI
 - 百兆/千兆以太 PHY
 - TS SPI
 - ASI
 - 配置接口, SPI 或拨码(几个信号上下拉)
 - 客户自定义的视频接口, 单端或 LVDS IO 的都可以
 - 客户自定义的码流数据接口
-
- 快速启动: 上电后启动时间小于 100ms
 - 电源电压 5V, 有反接保护, 和过压保护, 在恶劣工况下有较高的鲁棒性
 - 根据固件的不同, 功耗在 1.8~3W 之间

硬件组成图兼尺寸图



- 正面有 8 个状态指示 LED 灯，用作视频固件的状态指示
- 背面的两个板对板插头，型号是 Hirose DF40C-100DP-0.4V(51)
注意看上图中插头的 pin1, 2, 100 的位置标识
下图是这个插头的照片和尺寸图



这个系列(DF40)的插头+插座 100pin 型号合高范围，有 1.5mm 和 3.0mm 两种，不同合高使用不同的插座，插头不变。

1.5mm 合高的插座型号全名: DF40C-100DS-0.4V(51)

3.0mm 合高的插座型号全名: DF40HC(3.0)-100DS-0.4V(51)

推荐底板上使用合高 1.5mm 的插座

- 一共四个 M2.5 螺丝孔，可以进一步紧固核心板和底板的连接，和紧密扣合的板对板插座一起，确保震动环境下电气连接的绝对可靠
- 缺省配置，背面每个螺丝孔位置焊接一个 1.5mm 高镀锡铜套(和推荐的板对板插头+插座合高相同)。以拧紧螺丝时保护核心板不弯曲变形
- 编程接口用于写入固件。需配合编程转接板，把 USB Blaster 的牛角插头转为排线接口线是 10p 0.5mm 同面 FFC 排线

编程接口和编程转接板连接时，注意 FFC 排线两端的蓝色补强板都是朝上

LED 状态

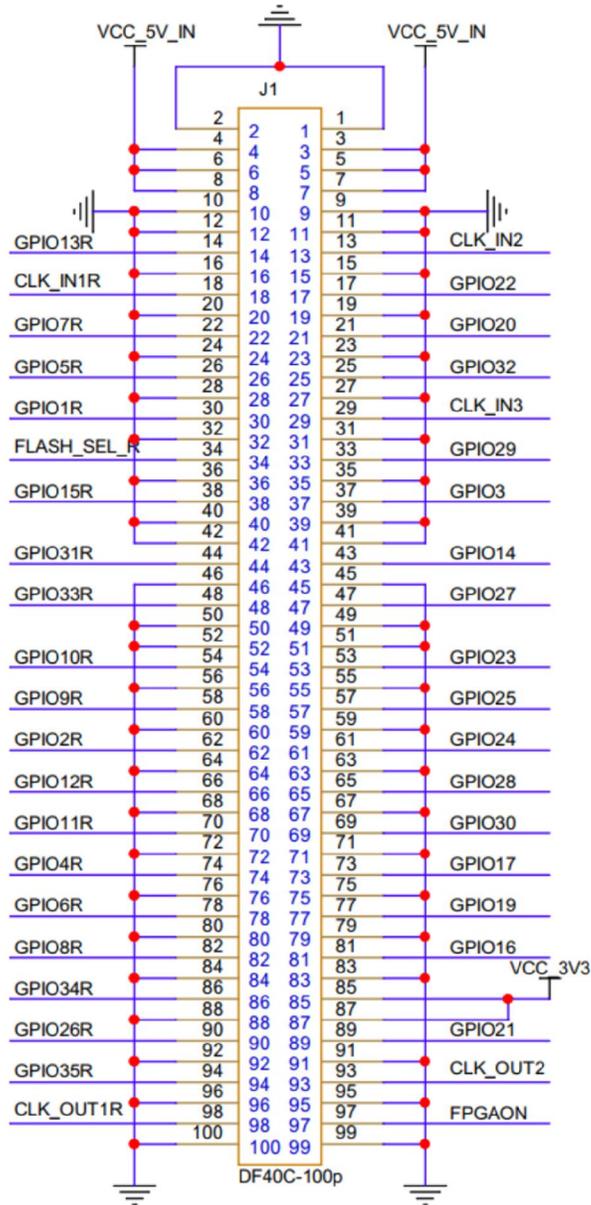
编码板 ULS

LED0	亮: DDR3 工作正常 灭: DDR3 不工作
LED1	亮: 错误, 熵编码缓冲区溢出 灭: 正常
LED2	上电或重置后先亮, 检测到正常, 稳定的 SDI/HDMI 信号输入会灭
LED3	闪烁: 编码板正在工作并正常输出码流 (码率越高越亮) 灭: 没有码流输出
LED4	接输入视频信号(SDI 或 HDMI)的 Vsync
LED5	接输入视频信号(SDI 或 HDMI)的 DE
LED6	闪烁: 固件是针对低码率下提高图像质量优化的, 代价是延时稍高 (多一帧) 灭: 固件是针对低延时优化的
LED7	保留

解码板 ULT

LED0	亮: DDR3 工作正常 灭: DDR3 不工作
LED1	
LED2	灭: All received ethernet packets have no CRC32 error 亮: After 亮 e or more ethernet packets CRC32 error detected, will be 亮 for a few seconds, then will be off again
LED3	灭: 没有丢包 亮: 有丢包, 每次丢包后会亮 1 秒左右, 如果不再丢包就灭
LED4	保留
LED5	亮: 以太接收 FIFO 溢出 灭: 正常
LED6	闪烁: 固件是针对低码率下提高图像质量优化的, 代价是延时稍高 (多一帧) 灭: 固件是针对低延时优化的
LED7	亮: 码流正在输入 灭: 没有码流输入

板对板插头 J1 信号定义



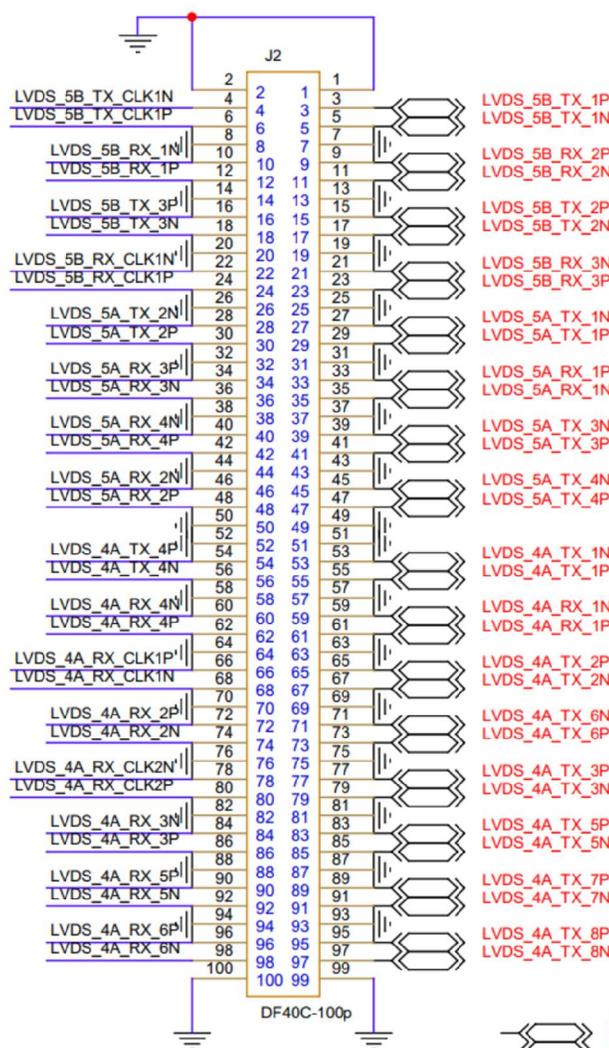
J1 上的信号都是 3.3V 单端 IO

所有名字后面带“R”的信号，和 FPGA 主芯片之间都接了 100 欧电阻，提供基本的保护。如果底板上有开关、拨码、直接接外部的插头插座需要连接到 FPGA 上，必须通过这些带“R”的信号，其他信号可以任意接

信号名	描述
VCC_5V_IN	电源输入，电压范围 3.7 ~ 5.5V，供电电流 2A
VCC3_3V3	3.3V 输出，最大电流不超过 600mA

FPGA_ON	表示 FPGA 的 1.1V 电压已经好了。用于底板上有的芯片，上电顺序必须在 FPGA 1.1V 之后的，可以接本信号到这些芯片的 DCDC/LDO 的 EN pin
CLK_IN*	接 FPGA 的 clock in pin, 也可做 GPIO 用
CLK_OUT*	接 FPGA 的 clock out pin, 也可以做 GPIO 用
GPIO*	3.3V GPIO
FLASH_SEL	本核心板支持双固件启动，可以通过 FLASH_SEL 选择固件 1: 选择正面的 Flash 中的固件 2: 选择背面的 Flash 中的固件
接地	接 PCB 的地

板对板插头 J2 信号定义



J2 上的信号都是 LVDS 信号，共使用了 FPGA 芯片的 3 个 Bank 的引脚做 LVDS: 4A, 5A, 5B。这三个 Bank 的 IO 电压都是 2.5V (按 FPGA datasheet, LVSD bank IO 电压是 2.5V)

LVDS 都可以做单端使用。每个 bank，只能要么全部做 LVDS 信号，要么全部做单端信号
做单端信号时，电平都是 2.5V

如果需要把 J2 的单端信号电平改为 3.3V，需要把核心板正面 R19 焊盘(0805 尺寸)，焊接 0~100 欧之间的电阻。*注意焊接 R19 后，三个 Bank 的 IO 电压全部改为了 3.3V，此时仍然可以使用 LVDS，但功耗会比 2.5V 高*

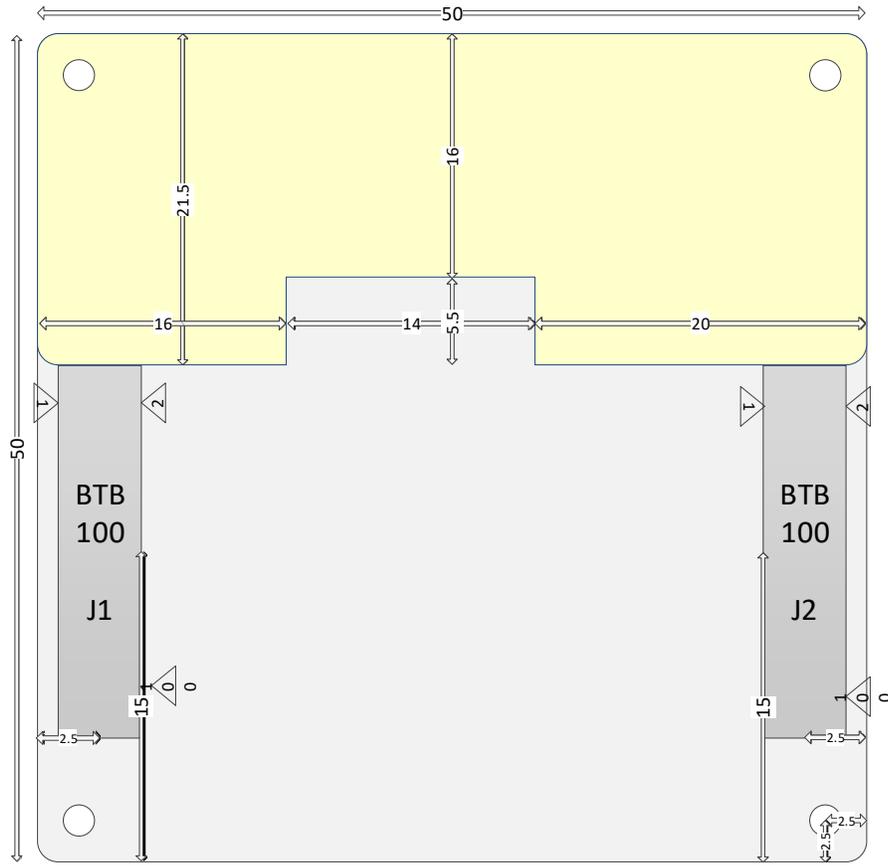
信号名	描述
RX_CLK	接 FPGA 的 LVDS clock in pin, 也可做 GPIO 用
TX_CLK	接 FPGA 的 LVDS clock out pin, 也可以做 GPIO 用
LVDS*	LVDS 信号
接地	接 PCB 的地

尺寸和外观

尺寸 50x50mm, PCB 厚度 1.2mm

正面器件最高高度 1.8mm (FPGA 主芯片)

背面器件高度分布见下图



背面器件高度分布
 从正面透过去看
 浅灰色区域: 1.0mm
 浅黄色区域: 0.3mm
 BTB插座1.5mm

测试点

测试点都在正面，正常工作时的电压见下表

T0	输入电源电压
T5	5V (输入电压经过反接和过压保护电路后的电压)
T1	1.35V
T11	1.1V
T25	2.5V
T33	3.3V
TJ2	J2 板对板插头的 IO 电平，缺省 2.5V(不焊接 R19) 如果焊接了 R19，则为 3.3V
TG0	GND, 0V

其他参数

工作温度范围	-40 ~ 85 摄氏度
功耗	1.8 ~ 3W
供电电压范围	3.7 ~ 5.5V

注意事项

- **切勿带电插拔**，否则很可能烧掉板子，或者烧掉部分 FPGA 管脚
- 电源输入和地线勿接反，虽然有反接保护，但长时间反接仍可能损坏板子
- 不要用超过 5.5V 的电源供电，虽然有过压保护，但长时间过压仍可能烧掉板子
- IO 信号电压最高 3.3V，不要用 3.6V 以上电压，否则可能烧掉管脚甚至整个 FPGA 芯片
- 正面主芯片(FPGA CycloneV)可以通过高导热率的硅胶导热垫直接接触金属壳体/散热片来散热
- DDR3 芯片发热不大，无需通过硅胶导热垫接触金属壳体/散热片来散热。而且因为 DDR3 芯片比较薄且长，不能承受压力，因此，切勿给 DDR3 芯片增加机械压力，不要用散热垫压紧 DDR3 芯片

北京拓扑威视新技术有限公司
北京海淀区上地十街辉煌国际 4-1008
TEL. 13910930318
Email: topvideocodec@163.com